

PAT-NO: JP403155655A
DOCUMENT-IDENTIFIER: JP 03155655 A
TITLE: CHIP-ON-BOARD TYPE PRINTED CIRCUIT BOARD
PUBN-DATE: July 3, 1991

INVENTOR-INFORMATION:

NAME
TSUNASHIMA, EIICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP01295864

APPL-DATE: November 14, 1989

INT-CL (IPC): H01L023/29, H01L023/31

US-CL-CURRENT: 257/792

ABSTRACT:

PURPOSE: To increase adhesive properties with a substrate to twice or more, and to prevent the capillary filtration of impure moisture from a boundary by containing the short fibers of aromatic polyamide in a potting resin at specific weight % at a resin ratio as an organic filler.

CONSTITUTION: A curable epoxy resin by an aromatic amine adduct resin is used as a potting resin, and short fibers composed of poly-para-phenylene-diphenyl ether terephthalamide in aromatic polyamide and having length of 0.5mm or less are employed as a filler. The thermal expansion coefficient of the short fibers takes a negative value at -55-125°C, and the thermal expansion

coefficient of the potting resin is equal to an alumina ceramic wiring board as 6.5ppm/°C on combination weight of 60wt.% with the epoxy resin. When a height peak is brought to 1.2mm in a circular region having a diameter of 10mm, a region in which a thermal expansion coefficient of 6.5±1.0ppm/°C is maintained is kept within a range of 40-80% at the weight-ratio mixing ratio of fibers.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報 (A) 平3-155655

⑬ Int. Cl. 5

H 01 L 23/29
23/31

識別記号

府内整理番号

⑭ 公開 平成3年(1991)7月3日

6412-5F H 01 L 23/30

R
審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 チップオンボード型印刷回路板

⑯ 特 願 平1-295864

⑰ 出 願 平1(1989)11月14日

⑱ 発 明 者 綱 島 瑛 一 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 栗野 重幸 外1名

明細書

1、発明の名称

チップオンボード型印刷回路板

2、特許請求の範囲

無機材料系プリント配線板に、半導体チップを実装し、ポッティング樹脂に有機材料フィラーとして、芳香族ポリアミドの短纖維を樹脂比率で40～80重量%含有させたものを用いたチップオンボード型印刷回路板。

3、発明の詳細な説明

産業上の利用分野

本発明は、電子機器に用いる印刷回路板の組立技術に關し、特に半導体チップの実装技術に関するものである。

従来の技術

従来、チップオンボード技術として、無機材料系プリント配線板、すなわち、アルミニナ磁器板、窒化アルミニウム磁器板にグレース導体を500～800°Cで焼成し、はんだ付け性、ボンディング性を高めたものが用いられている。これらの無

機材料系配線板に対して、部品を表面実装する際、半導体については、パッケージ品でなく、裸チップを直接プリント配線板にワイヤボンディング、ダイボンディング、フリップチップボンディングの形でとりつけ、実装密度を物理的及び熱放散的に向上しようとしている。

発明が解決しようとする課題

この際必要な半導体の保護方法として、エポキシ樹脂のポッティング（またはドリッピング）がおこなわれる。この樹脂は、硬化時の収縮率、或は高温・高湿時の伸縮率が無機材料系の基板や半導体チップにくらべて大きいため、前記チップと配線板との接合部に破壊的な応力が加わる恐れがあった。この解決策として、シリカ粉末を相当量混入して複合材料化しているが、最大量を混入しても、配線板の数倍の伸縮を示し、硬化時の収縮ストレスも容易には緩和されなかった。これはシリカ自体が正の熱膨張係数をもち、かつ、ヤング率が非常に低く、割れ易い結果を招いており、耐湿、熱衝撃、特に吸湿後のはんだリフロウによる

作業時の半導体チップの破壊、85°C, 85%RH中のバイアステスト耐久時間の短寿命などの問題点があった。

課題を解決するための手段

本発明は、これらの問題点を解決することを目的とし、具体的には、ポッティング樹脂に有機フィラーとして、芳香族ポリアミドの短纖維を、樹脂比率で40~80重量%含有させたものを用いた構造である。

作用

この構造体は、熱膨張係数が負で、収縮時の応力を緩和する低ヤング率性も併せ有する。

実施例

第1図は本発明の実施例を示す断面図である。ポッティング樹脂として、芳香族アミンアダクト樹脂による硬化エポキシ樹脂を用い、フィラーとして、芳香族ポリアミドのうち、ポリバラフェニレン・ジフェニルエーテルテレフタルアミドよりなる長さ0.5mm以下の短纖維を用いた。この短纖維は-55~125°Cにおいて、熱膨張係数

が負であり、エポキシ樹脂との組合せ重量が60重量%のとき、ポッティング樹脂の熱膨張係数が6.5ppm/°Cとアルミニナ磁器配線板と同等となつた。直径10mmの円形領域で高さピークが1.2mmとした場合、6.5±1.0ppm/°Cの熱膨張係数を保てる領域は、前記織維の重量比混入率で40~80%の範囲内であった。

実施例によるポッティング樹脂の適用効果を、従来のジシアンジアミド系硬化剤の数%とシリカフィラーの85重量%とを混ぜたポッティング樹脂との比較で、セラミック配線板上に配設した半導体ICチップ(6ワイヤ、1.3×0.65mmの寸法)によって評価した。第1表はエポキシ樹脂系ポッティング樹脂のセラミック基板上の硬化収縮応力によるボンディングワイヤはそれを、第2表はエポキシ樹脂系ポッティング樹脂のセラミック基板上の温度サイクル試験(-55~125°C)結果を、第3表はエポキシ樹脂系ポッティング樹脂のPCT(2気圧)中バイアス電圧印加(12VDC.)寿命をそれぞれ示す。

第1表

従来エポキシ- ジシアンジアミド硬化剤(8重量%) + シリカ 0.3~1.2ppm/個
本発明エポキシ- 芳香族アミンアダクト硬化剤(50重量%) + 有機短纖維 0.10~0.04ppm/個

第2表

従来品	82~145回
本発明品	1000回以上

第3表

従来品	18~80時間
本発明品	240時間以上

発明の効果

本発明によると、基板との接着性が2倍強であるため、境界からの不純水分の毛管的浸入が少なく、安定性に富むものが得られる。

4、図面の簡単な説明

第1図は本発明の適用形態を示す実施例装置の

断面図である。

1……無機配線板、2……グレーズ導体、3……半導体チップ、4……ボンディングワイヤ、5……ポッティング樹脂、6……有機短纖維フィラー(ポリバラフェニレン・ジフェニルエーテルテレフタルアミド)。代理人の氏名 弁理士 粟野重孝 ほか1名

第 1 図

- 1…無機配線板
- 2…グレーズ導体
- 3…半導体チップ
- 4…ボンディングワイヤ
- 5…ボッティング樹脂
- 6…有機短せんいフィラー
(ポリバラフェニレン
ジフェニレエーテル
テレフタラミド)

